

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-148623

(43)公開日 平成9年(1997)6月6日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 31/12			H 0 1 L 31/12	J
21/60	3 1 1		21/60	3 1 1 Q
27/14			H 0 1 S 3/18	
H 0 1 S 3/18			H 0 1 L 27/14	D

審査請求 未請求 請求項の数4 F D (全 6 頁)

(21)出願番号 特願平7-329627

(22)出願日 平成7年(1995)11月24日

(71)出願人 000005290

古河電気工業株式会社

東京都千代田区丸の内2丁目6番1号

(72)発明者 麦野 明

東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内

(72)発明者 森 肇

東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内

(72)発明者 清水 健男

東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内

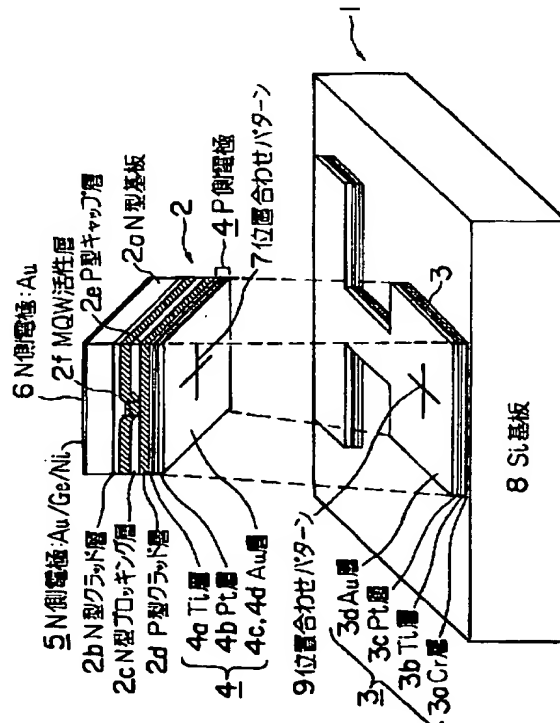
(74)代理人 弁理士 稲垣 清 (外2名)

(54)【発明の名称】 光受発光素子の実装方法

(57)【要約】

【課題】 実装用基板の基準面から実装される光受発光素子の光軸までの高さを超高精度に実装可能であり、従来の半導体プロセスを応用でき低コストで実現容易な、光受発光素子の実装方法を提供する。

【解決手段】 ヒートシンク作用を有する実装用基板1上の基板電極3に光受発光素子2の素子電極4を固定する光受発光素子の実装方法であって、基板電極3を少なくとも2層以上の多層金属層からなる基板多層金属層3a, 3b, 3c, 3dを形成し、基板多層金属層の基板最上金属層3dは金で形成されており、素子電極4を少なくとも2層以上の多層金属層からなる素子多層金属層4a, 4b, 4c, 4dを形成し、素子多層金属層の素子最上金属層4c, 4dは金で形成されており、基板最上金属層3dと素子最上金属層4c, 4dとを所定の位置関係に配置するとともに直接接触させ、基板最上金属層3dと素子最上金属層4c, 4dの少なくとも一方を加熱し、素子電極4を基板電極3に固定することを特徴とする。



【特許請求の範囲】

【請求項1】 実装用基板に光受発光素子を実装する方法であって、

金で形成された最上層を有する複数層の積層金属層でもって前記基板電極及び前記素子電極をそれぞれ構成し、基板電極及び素子電極の最上層同士を直接接合させ、基板電極及び素子電極の最上層のうち少なくとも一方を加熱して最上層同士を相互に溶融させて、実装用基板に設けられた基板電極に光受発光素子の素子電極を固着させることにより、実装用基板に光受発光素子を実装することを特徴とする光受発光素子の実装方法。

【請求項2】 基板電極及び素子電極の最上層の膜厚が、それぞれ200nm以上であることを特徴とする請求項1に記載の光受発光素子の実装方法。

【請求項3】 実装用基板の基板電極に光受発光素子の素子電極を固着させるに際し、基板電極の最上層と素子電極の最上層との位置合わせを行い、

基板電極及び素子電極の最上層同士を直接接合させ、かつその接触面に均一な分布で圧力を印加し、次いで、接触面を加熱することを特徴とする請求項1又は2に記載の光受発光素子の実装方法。

【請求項4】 基板電極及び素子電極の最上層表面にそれぞれ位置合わせ用の凹型又は凸型のパターンを形成し、

基板電極の最上層と素子電極の最上層とを相互に位置合わせする際に、基板電極及び素子電極の位置合わせ用のパターンを画像検出し、かつ画像処理して、基板電極の最上層と素子電極の最上層との位置合わせを行うことを特徴とする請求項3に記載の光受発光素子の実装方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、光受発光素子の実装方法に係り、更に詳細には、実装用基板上の基板電極に光受発光素子の素子電極を固定することにより、光受発光素子を実装基板に実装する方法に関する。

【0002】

【従来の技術】 光インターコネクション回路、双方向光通信モジュール部品等の分野において、光受発光素子

(光受光素子あるいは光発光素子)のチップあるいはアレイが実装された基板を基板ごとに他の光受動導波路型部品またはMTコネクタファイバ部品に、レンズを介在させずにバットジョイントによる無調芯ピン嵌合によって直接的に接続することがしばしば要求される。この場合、実装の位置精度の良否が、直接、接続損失の大小に影響するので、接続損失を少なくするためには光受発光素子を実装基板の所定位置に超高精度に実装する必要がある。

【0003】 従来、光半導体発動素子の実装方法においては、半田付け技術を利用した潰れ調節式チップ接合や

ダイボンディングやフリップチップ接合等が知られている。一般的な従来の半田付け技術による実装方法は、素子チップをボンディング用基板(金属ステムを含む)上に位置決めし、チップ側の電極、即ち素子電極と基板側の電極、即ち基板電極の間に金錫や金シリコンやAuGe等の共晶半田材、または比較的に低融点の鉛やインジウムや錫等の混合半田材を介在させて両者を加熱、溶融する方法である。この方法では、半田材の溶融および冷却によって素子チップをボンディング用基板上に固定すると共に電氣的に接続している。

【0004】 また、比較的に高い実装精度を必要とするものに関しては、予め基板側に半田バンプ(球に近い形状を有するものと単なる平坦な薄膜形状のものがある)を蒸着あるいはメッキ等のプロセスにより形成しておき、半田バンプを加熱、溶融し、この際の表面張力によるセルフアライメント効果を利用して位置合わせ精度を高めるボンディングが行われている。

【0005】 従来の半導体のレーザダイオード(LD)やフォトダイオード(PD)等のデバイス素子及び電子回路部品を集積し、レンズを用いて光結合を行う半導体モジュールでは、これまで所要実装精度は厳しくても数μm程度のオーダーであるとされていたので、前述の半田付け等の従来技術を用いていても、実装精度上で特に問題はなかった。

【0006】

【発明が解決しようとする課題】 ところで、最近コンピュータ用回路の高速化に伴い、光化インターコネクション分野が急速に発展を見せている。また、光通信分野では、光加入者網システムの構築等の光化が進むにつれて、双方向光送受信モジュール等の開発が要請されるようになってきた。これらの分野では、光を伝搬する空間を極力小さくする必要があるため、レンズ系等の長光路型の結合方式をなるべくやめ、直接的なバットジョイント方式が要求されるようになった。

【0007】 さらに、バットジョイント方式においても、光能動素子と光受動素子との光接続損失はレンズを用いた結合系と同程度の極めて低損失であることが要求されている。さらに、これらのモジュール構成の低価格化が要求されている。

【0008】 要求されるこれらの仕様を満足するためには、レンズ系による結合接続に代わって能動素子と受動素子とを直接的に結合するバットジョイント方式が重視されてきており、しかも素子の組立時における光軸の接続方法では、調芯型による光軸の位置合わせよりも無調芯型によるピン嵌合接続が主流となりつつある。そこで、無調芯型接続に使われるピン嵌合用の実装基板上に形成されている電極パッド(配線パターンを含む)上の所定位置に、レーザダイオードやフォトダイオード等の光能動素子を直接的にボンディングできるようにすることが不可欠の開発課題となる。

【0009】しかしながら、パットジョイント方式による結合では、レンズ系の結合と異なり、レーザ素子等の発光素子の発光面位置（光軸）が受光素子等（PD、受動光導波路部品、MTコネクタ、光ファイバ等）の光軸から僅かにずれても、非常に大きな結合損失が生じてしまう。このため、実装精度に許容されるズレ量は、縦方向および横方向についてわずかに $1\mu\text{m}$ 程度以下であり、非常に小さい。

【0010】これに対し、半田材による光受発光素子と実装用基板とのボンディングの精度は高々数 μm であるという実状であり、所望の実装精度を満足することができない。

【0011】また、自動アライメントが可能である特殊球状半田パンプの形成は、形成工程が複雑であり、パンプの高さや幅や直径等のばらつきを制御することが困難である。また形成コストも高く、現在求められている超低価格の双方向通信モジュールやインターコネクション用モジュール等に要求される製造コストに見合うことができない。

【0012】さらに、もう一つの問題として、ボンディング前後の光軸の高さを高精度に制御できないことがある。現在のボンディング装置は、その画像処理系や、加圧や加熱手段等の制御系等の性能が極めて進歩している。例えば、画像処理系では、上下2視野光学系カメラや多階調処理によるパターン認識等を用いることにより、 $1\mu\text{m}$ オーダの位置合わせ制御が可能である。また、制御系では、加圧を 1mg オーダ、加熱を 1°C 以下の精度で、加重モニタリングや熱による装置の伸び縮みをオートキャリブレーション機能等により制御でき、特に実装用基板を加熱するセットヒータと基板をセットするヒータ部との平行度がよく、これらの制御により素子チップを実装用基板の平面内の x 、 y 方向の位置合わせを超高精度に制御することができる。

【0013】しかしながら、実装用基板の平面内の x 、 y 方向の位置合わせ制御を超高精度にできるとしても、実装用基板の基準面から光受発光素子の光軸までの高さの制御に関しては、半田の厚みのばらつきや半田溶解時に発生する表面張力や半田の沈み量等に依存するため高精度に確実に制御することができないというのが実状である。また、半田による実装方法では、特に素子をアップサイドダウンで実装する場合には、半田が素子の p n 接合を短絡してしまうおそれがあるために、電極の膜厚を必要以上に厚く（例えば $5\mu\text{m}$ 以上に）形成することが必要であり、製造コストの上昇を招いていた。

【0014】そこで本発明の目的は、上記従来技術の有する問題を解消し、実装用基板の基準面から実装される光受発光素子の光軸までの高さを超高精度に実装可能であり、従来の半導体プロセスを応用でき低コストで実現容易な、光受発光素子の実装方法を提供することである。

【0015】

【課題を解決するための手段】上記目的を達成するために、本発明による光受発光素子の実装方法は、実装用基板の基板電極に光受発光素子の素子電極を固着させることにより、実装用基板に光受発光素子を実装する方法であって、金で形成された最上層を有する複数層の積層金属層でもって前記基板電極及び前記素子電極をそれぞれ構成し、基板電極及び素子電極の最上層同士を直接接触させ、基板電極及び素子電極の最上層のうち少なくとも一方を加熱して最上層同士を相互に熔融させ、これにより実装用基板の基板電極に光受発光素子の素子電極を固着させることを特徴としている。

【0016】好適には、実装用基板としてヒートシンク作用を有する基板を使用し、基板電極の最上層の形状を素子電極の最上層の形状にほぼ相似させ、かつその面積寸法を少なくとも素子電極の最上層の寸法面積と同じにする。素子電極の電極は、基本的にはオーミック電極と、素子の実装のためにその上に形成された少なくとも厚さ 200nm の金の蒸着層とから構成される。また、金の蒸着膜上には、基板電極との位置合わせのためのパターンが形成されている。一方、基板電極の電極は、好適には、クロム蒸着層、チタン蒸着層、白金蒸着層及び金蒸着層の順で蒸着形成され、最上層の金蒸着層の厚さは少なくとも 200nm で形成される。また、素子電極の最上層を構成する金属の厚さも、少なくとも 200nm であることが望ましい。また、基板上には、素子電極との位置合わせのためのパターンを設けておくのが望ましい。ここで、基板電極の最上層の膜厚を 200nm 以上としたのは、 200nm 以上とすることで加熱固定した電極の固着強度、信頼性を十分高めることができるからである。尚、膜厚をより増加すれば、固着信頼性を益々高めることができるが、あまりに厚くすると、材料費、時間の面で好ましくない。また、従来のように電極の金属層の膜厚を $5\mu\text{m}$ 以上とすることは、面内膜厚分布を均一にすることが難しくなってくるので、かえって好ましくない。更に、望ましくは、基板電極の最上層を形成する金蒸着層上に金メッキ層を設ける。

【0017】また、本発明方法の好適な実施態様は、実装用基板の基板電極に光受発光素子の素子電極を固着させるに際し、基板電極の最上層と素子電極の最上層との位置合わせを行い、基板電極及び素子電極の最上層同士を直接接触させ、かつその接触面に均一な分布で圧力を印加し、次いで、接触面を加熱することを特徴としている。

【0018】更に、本発明方法の好適な実施態様は、基板電極及び素子電極の最上層表面にそれぞれ位置合わせ用の凹型又は凸型のパターンを形成し、基板電極の最上層と素子電極の最上層とを相互に位置合わせする際に、基板電極及び素子電極の位置合わせ用のパターンを画像検出し、かつ画像処理して、基板電極の最上層と素子電

10

20

30

40

50

5

極の最上層との位置合わせを行うことを特徴としている。

【0019】また、位置合わせ用のパターンを用いて位置合わせをする方法は、例えば、基板最上金属層と素子最上金属層とを所定の位置関係に配置し、光受発光素子は実装用基板の基準面平面内の x 、 y 方向の位置合わせを行い、さらに、基板最上金属層と素子最上金属層との間に金属半田類あるいは導電性樹脂やペースト等を介在させることなく直接接触させ、加熱して電気的に接続する。これにより、実装用基板の基準面から実装される光受発光素子の光軸までの高さにおいて、超高精度に実装することができる。

【0020】

【実施例】以下に図面を参照して本発明に係る光受発光素子の実装方法を説明する。

実施例1

図1は実装用基板1の基板電極3に光受発光素子2を実装する実施例1の方法を示す斜視図であり、図2は光受発光素子2の斜視図である。光受発光素子2は、 pn 接合構造を有する埋込型のレーザダイオードチップである。光受発光素子2において、 n 型基板2aの上に n 型クラッド層2b、 n 型ブロッキング層2c、 p 型クラッド層2d、 p 型ギャップ層2eが順に層設され、 p 型ギャップ層2e上には p 側電極4が基板電極3に接続される素子電極として形成され、 n 側基板2aの下側には n 側電極5が形成され、 n 側電極5の外側には金(Au)からなる n 側電極6がさらに形成されている。

【0021】素子電極としての p 側電極4は、 p 側オーミック電極を構成する3層の金属層4a、4b、4cと、 p 側オーミック電極の最外層の金属層4c上に形成された金メッキ層4dとから構成されている。すなわち、 p 側電極4は、 p 型ギャップ層2e上に形成されたTi層4aと、Ti層4a上に形成されたPt層4bと、Pt層4b上に形成されたAu層4cとからなる p 側オーミック電極と、Au層4cに形成された金メッキ層4dとから構成されており、素子最上金属層は、Au層4cと金メッキ層4dとからなる。ここで、金属層4dをメッキにより形成したのは、メッキの方が蒸着よりも平面度の良い厚膜を速く形成できるという理由からである。従って、金属層4dを含めて、金属層を蒸着で形成することも可能である。また、 p 型クラッド層2dの中央部の下方には、レーザ光の発光部であるMQW活性層2fが形成されており、MQW活性層2fの位置は光軸の位置に相当する。金メッキ層4dには、位置合わせのための凸状あるいは凹状の位置合わせパターン7が形成されている。

【0022】図3は実装用基板1を示す斜視図である。符号8は高抵抗絶縁性のSi基板を示す。Si基板8の基準面8aは高平坦度に形成されている。(なお、Si基板8は導電性の基板を用いる場合には、0.1 μ m程

6

度の厚みのSiO₂等の絶縁膜をスパッタリングによりSi基板表面全面に予め形成しておくことが望ましい。) Si基板8上には、実装用の基板電極3が形成されている。基板電極3は光受発光素子2を実装するために設けられた方形の素子実装部3eとこれに接続された配線パターン部3fとからなる。

【0023】基板電極3は、Si基板8上に順に形成された厚さ50nmのCr金属層3aと、厚さ100nmのTi金属層3bと、厚さ50nm厚さのPt金属層3cと、基板最上金属層としての厚さ300nmのAu金属層3dからなる4層の金属層が蒸着されて形成されている。また、Au金属層3d上には、必要に応じて金メッキ層が形成されており、基板電極3の表面には、凹状あるいは凸状の位置合わせパターン9が形成されており、位置合わせパターン9は蒸着層4dに形成された位置合わせパターン7と同一の寸法形状で形成されている。

【0024】次に、実装用基板1に光受発光素子2を実装する工程について説明する。図1に示すように光受発光素子2の素子電極4をジャンクションダウン形式で実装用基板1の基板電極3の素子実装部3eにボンディングする。この際、先ず、光学顕微鏡で観察しながらあるいは光学顕微鏡で得られた画像を画像処理データを参照しながらアライメント治具(図示しない)によって、位置合わせパターン9と位置合わせパターン7とが合致するように高精度に位置合わせをする。この結果、光受発光素子2は基準面8a上で所定の x 、 y 座標位置に位置決めされている。

【0025】次に、ボンディングツールに吸着されている光受発光素子2を基準面8aに向かって降下させ、素子最上金属層を構成するAu層4cおよび蒸着層4dを基板最上金属層を構成するAu金属層3dに接触させ、接触面に均一の圧力を加えつつ密着させる。この際、両者の接触面に均一の圧力が加えられるように、ボンディングツールとして使用される吸着ツールは、平面型のものが用いられる。

【0026】次に、光受発光素子2を保持する素子ツール側および実装用基板1を保持する基板セット側から熱を加える。なお、この熱の印加は基板セット側からのみ行ってもよい。この結果、Au層4cおよび蒸着層4dとAu金属層3dとが加熱され、金-金同士の相互拡散作用により金-金界面が完全に混ざり合い一体化して接合される。光受発光素子2の素子電極4は実装用基板1の基板電極3に必要な強度で固定される。

【0027】ここで、ボンディング条件は、加熱温度: 320°C~350°C程度、加重: 50~80gmmf、接触接合時間30~50秒程度に設定された。基板電極3は、4層の金属蒸着膜(Cr/Ti/Pt/Au)から形成されているので、基板セット側から加えた熱は基準面8aの平面度を崩すことなくAu金属層3d

7

に熱は伝達される。また、素子電極としてのp側電極4は、3層の金属層(Ti/Pt/Au)からなるp側オーミック電極と金メッキ層4dとから構成されているので、素子ツール側あるいは基板セット側から加えられた熱は、p側オーミック電極の下層の金属層(Ti/Pt)を熱的に変質させることなく、素子最上金属層を構成するAu層4cと蒸着層4dとに伝達される。そして、上述したように、基準面8aの平面度を崩すことなく、またp側オーミック電極を変質させることなく、金-金同士の相互拡散作用により素子電極4と基板電極3とを一体化して接合できるのである。また、Au金属層3d上に金メッキ層が形成されているので、接触面の平面度がよくなるので金-金同士の相互拡散作用をさらに有効に発生させることができる。

【0028】次に、上述した実装方法による実装結果の位置精度について説明する。この位置精度の検査については、実装用基板1の基準面8a上のx、y平面上の横方向の位置精度と、基準面8aからMQW活性層2fにある光軸位置までの高さ方向の位置精度とについて調べた。この検査を行うために、実装用基板1の基準面8a上の両サイドにV溝(図示しない)を形成するとともに、基準面8a上の所定に凹状あるいは凸状の位置検査用パターン(図示しない)を形成しておく。

【0029】まず横方向の位置精度の評価は、赤外線反射顕微鏡を用い、位置合わせパターン9と位置合わせパターン7とのズレ量を測定すること、および位置合わせパターン7、9と位置検査用パターンとの相対的距離を測定することによって行われた。この結果、光受発光素子2の実装前後の横方向のズレ量は0.5μmであり、十分満足できる範囲にあることが確認された。

【0030】また、高さ方向の位置精度の評価は、基準面8a上の両サイドに形成したV溝を介したマスター光ファイバ付きMTコネクタと接続した赤外線カメラを用い、光受発光素子2の発光部光スポットの基準面8aからの位置と、マスター光ファイバ付きMTコネクタの光出力ポートにおける光スポットの基準面8aからの位置とを画像処理系により比較して行われた。この結果、光受発光素子2の実装前後の縦方向のズレ量は0.3μmであり、十分満足できる範囲にあることが確認された。

【0031】なお、上述の実施例において、位置合わせパターン7および位置合わせパターン9は、任意の形状で良く、例えば凹状あるいは凸状のいずれの凹凸形状やいずれの平面的形状であっても、ボンディング強度や位置ズレ等に影響がないことが確認された。以上、本実施例の構成によれば、実装用基板1の基準面8aから実装された光受発光素子2のMQW活性層2f(光軸)までの高さを超高精度に保持しつつ実装することができる。また、従来の半導体プロセスを応用でき、この超高精度な実装を低コストで容易に実現することができる。

【0032】実施例2

8

次に、図4を参照して、本発明の実施例2について説明する。本実施例は、光受発光素子としてのLD素子(レーザダイオード)12とFD素子(フォトダイオード)22とを実装用基板11上に実装することに関する。実施例1の場合と同様に、実装用基板11のSi基板18上に実装されるLD素子12とFD素子22の素子電極は、複数層の積層金属層により形成されており、素子最上金属層は金で形成されている。また、LD素子12とFD素子22が実装される基板電極も複数層の積層金属蒸着層により形成されており、基板最上金属層は金で形成されている。また、素子最上金属層および基板最上金属層の面上には、位置合わせのためのパターンが形成されている。

【0033】Si基板18の基準面18a上の両サイドにはマスター光ファイバ付きMTコネクタを接続するためのV溝23と、位置検査用パターン24とが形成されている。実施例1の場合と同様に、ジャンクションダウン形式に従い、まずLD素子12を加熱工程を経てボンディングした。次いで、同様にPD素子22を加熱工程を経てボンディングした。

【0034】ここで、LD素子12およびFD素子22を実装する際に生じ得るズレ量を次のように観察した。まず、LD素子12のボンディング前後における横方向および高さ方向の位置ズレ量を、実施例1と同様の方法で測定した。次に、PD素子22をボンディング後に、最初にボンディングされたLD素子12の位置ズレを再度測定した。また、2回目のボンディングにより、最初にボンディングされたLD素子12と実装用基板11の基板電極との間の界面に異常が発生しているかを観察した。

【0035】この結果、最初にボンディングされたLD素子12の位置ズレは、2回目のボンディングにおける加熱工程によって何ら影響を受けず、所望のズレ量の範囲内にあることが確認された。また、2回目のボンディングにおける加熱工程は、LD素子12と実装用基板11の基板電極との間の界面に何ら異常を発生させないことが確認された。

【0036】半田材による従来のボンディングでは、2回目以降に使用する半田材は、それより以前のボンディング工程で使用する半田材の融点より低い融点を有するように選択する必要があった。これに対して、本発明による実装方法では、複数回の加熱工程を含むボンディング実装工程を含む場合にあって、後のボンディング工程により、先のボンディング結果に影響を与えることなく、所望の位置決め精度でLD素子12およびFD素子22を実装用基板11上に実装することができる。

【0037】

【発明の効果】以上説明したように、本発明の構成によれば、金属半田類あるいは導電性樹脂やペースト等を介在させることなく直接接合させるようにしたので、実装

9

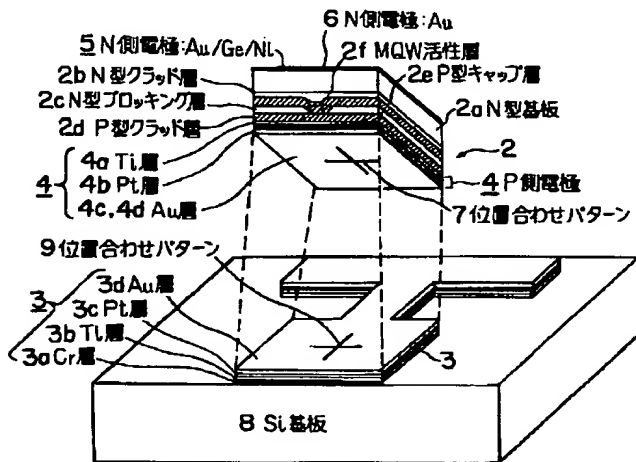
用基板の基準面に対し、横方向のみならず高さ方向においても、従来出来なかった高精度な位置決め（ $1\mu\text{m}$ からサブミクロンオーダーまで）で光受発光素子を実装用基板に実装することができる。しかも、半田パンプの形成や複雑な制御装置を必要としない。また、同一基板上にボンディングを何回行っても以前にボンディングを行っている部分にズレは生じない。この結果、従来の半導体プロセスを応用でき低コストで実現容易な光受発光素子の実装方法を提供することができる。

【図面の簡単な説明】

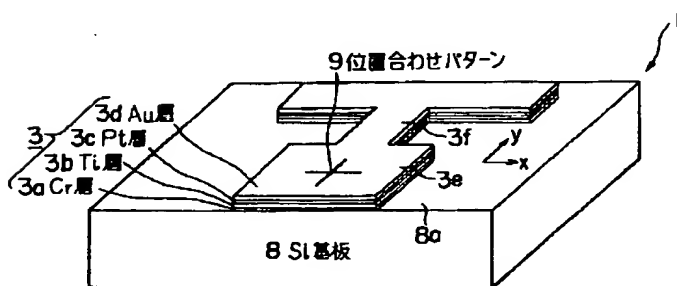
【図1】本発明の第1実施例の実装用基板の基板電極に光受発光素子を実装する工程を示す斜視図。

【図2】光受発光素子としての埋込型のレーザダイオードチップを示す斜視図。

【図1】



【図3】



10

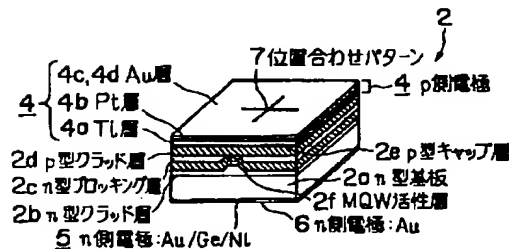
【図3】実装用基板を示す斜視図。

【図4】実装用基板に複数の光受発光素子を実装した本発明の第2の実施例を示す斜視図。

【符号の説明】

- 1 実装用基板
- 2、12、22 光受発光素子
- 2f MQW活性層（光軸）
- 3 基板電極
- 3d 基板最上金属層（Au金属層）
- 10 4c、4d 素子最上金属層
- 7、9 位置合わせパターンキャリア
- 8 Si基板
- 8a 基準面

【図2】



【図4】

